

2014年9月4日
京都大学
TDK株式会社
秋田県産業技術センター

シリコンを用いたスピントランジスタの室温動作を世界に先駆けて実現 ～半導体スピントロニクスにおける重要なマイルストーンを実現～

京都大学（大学院工学研究科電子工学専攻教授・白石誠司[しらいし まさし]、及び同助教・安藤裕一郎[あんど う ゆういちろう]）、TDK株式会社（本社 東京都港区、代表取締役社長・上釜健宏[かみがま たけひろ]）、及び秋田県産業技術センター（所長・鎌田悟[かまた さとる]）のグループは共同で、現在のCMOS(相補型金属酸化膜半導体)トランジスタの抱える技術的限界を突破できる次世代の情報デバイスとも言えるスピントランジスタの室温動作に世界で初めて成功しました。スピントランジスタは、現在のCMOSトランジスタが直面する物理的限界を突破する新機能素子の1つとして、その実現に大きな期待が集まっていました。本成果は半導体スピントロニクス分野の更なる発展と新機能論理回路に実現に向けた大きなマイルストーンが達成されたことを意味しており、基礎学理・産業応用の両面で極めて重要な成果です。

本研究成果は米国物理学会科学誌Physical Review Applied誌の電子版に9月11日に公開の予定です。

論文タイトル：

Spin transport in non-degenerate Si with a spin MOSFET structure at room temperature

スピントランジスタ構造を有する非縮退シリコンにおける室温スピントランジスタ

著者：

T. Sasaki*, Y. Ando*, M. Kameno*, T. Tahara, H. Koike, T. Oikawa, T. Suzuki and M. Shiraishi
佐々木智生[1]、安藤裕一郎[2]、亀野誠[3]、田原貴之[2]、小池勇人[1]、及川亨[1]、鈴木淑男[4]、白石誠司[2]

[1] TDK株式会社 [2] 京都大学大学院工学研究科

[3] 京都大学大学院特別指導学生（大阪大学大学院基礎工学研究科所属）

[4] 秋田県産業技術センター

* 佐々木・安藤・亀野は共同筆頭著者

1. 研究の背景と意義

CMOS(相補型金属酸化膜半導体)トランジスタ(*1)の微細化によって低消費電力化と高速動作を可能としてきたシリコンベースの集積回路は、微細加工の限界に起因するスケーリング則の限界に直面しつつあります。また、CMOS トランジスタを用いた集積回路は一般に情報が揮発性であり情報の維持に常に電力が必要であるために、省エネルギーの観点からも大きな課題を抱えています。そのため、次世代の高度情報化社会の中核を担う新動作原理を有する低消費電力、かつ不揮発記憶機能を備えた革新的情報デバイスの実現が希求されてきました。

そのような革新的デバイスの1つが、電子の有するスピン自由度を活用したスピンMOSFET(金属酸化膜半導体型電界効果トランジスタ)です。スピンMOSFETは電極に磁性体を用いて、メモリ機能とトランジスタ機能を1つのデバイスに同時に搭載した新型デバイスであり、不揮発記憶機能や高速動作と高集積化の可能性、高い記憶の繰り返し耐性を有することが期待されます。このデバイスを用いれば、不揮発性かつ再構成可能な論理回路が組めるため、現在のCMOS トランジスタで問題となっている待機電力をゼロにできるなど、超低消費情報処理の面で大きなインパクトを社会に与えることも可能です。特にシリコンを用いたスピンMOSFETは、シリコンがほぼ無尽蔵(ユビキタス)に自然界に存在し無毒であること、シリコンでは情報伝播に用いるスピン角運動量が比較的長時間保持できることが期待されること、さらに従来のシリコンエレクトロニクスにおける技術面・インフラ面での蓄積のそのまま利用可能であることから、2007年頃から世界中でその実現に向けて活発に研究が進められてきました。

シリコンスピンMOSFETの実現には、シリコン中でスピンの伝導を実現すること、さらにその伝導を外部電場で制御することが必要です。前者については2011年に我々のグループによってn型シリコンで、2013年には我々のうち白石グループがp型シリコンで、それぞれ室温で実現していましたが、スピンの伝導が縮退半導体領域(*2)のシリコンでしか実現していなかったため、後者の実現が困難であり新たなチャレンジが求められていました。

2. スピンMOSFETの構造と動作原理、室温動作の詳細

図1に、今回試作したシリコンスピンMOSFETデバイスの構造を示します。スピンの伝導するシリコンチャンネルはリン(P)を 10^{18} cm^{-3} ドーピングした非縮退n型シリコンを用い、スピン伝導制御に必要なゲート電圧はBack gate構造によりシリコン基板側か

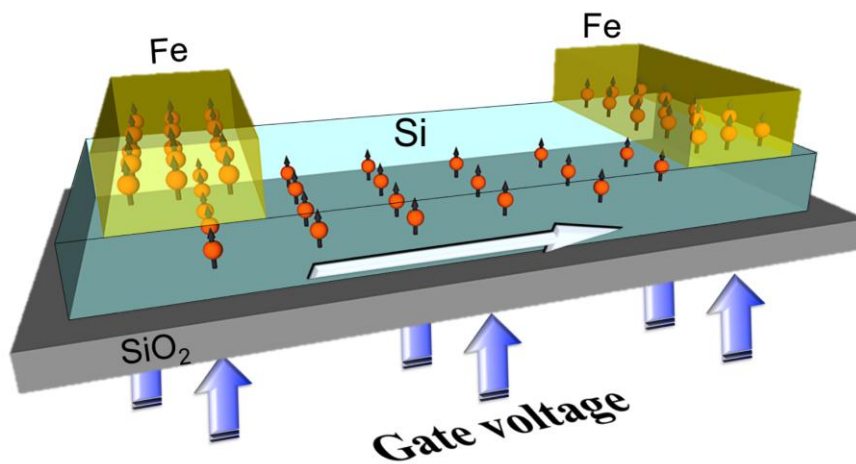


図1. シリコンスピン MOSFET の構造図。鉄(Fe)からシリコン(Si)に注入されたスピンの伝導はシリコン基板側にある Back gate から印加するゲート電圧(Gate voltage)によって制御する。

ら印加します。シリコン中を伝導させるスピンは磁性体電極である鉄(Fe)から注入します。鉄とシリコンの間にはスピンを効率よくシリコンに注入するために酸化マグネシウム(MgO)を挟んでいます。両側にあるアルミニウム(Al)電極はスピン伝導を正確に評価するための参照電極としての役割を持ちます。

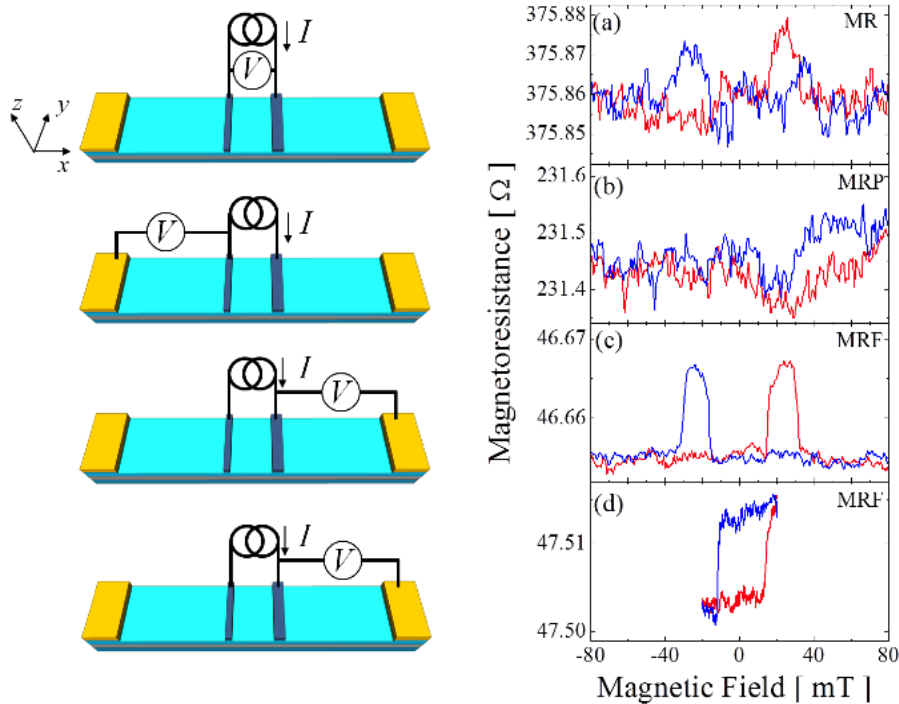


図2 室温におけるシリコン中のスピン伝導の観測回路と磁気抵抗効果の観測

図 2 に室温におけるスピン伝導を検証するための回路図と、観測された磁気抵抗効果を示します。この実験では磁気抵抗効果(*3)を観測するために外部磁場を y 方向に印加しています。(a)、(c)では明らかな素子抵抗の外部磁場依存性を有するヒステリシスが観測されていることがわかります。念のため、(d)では(c)と同じ測定回路を用いて磁気抵抗のマイナーループを観測したところ、同様に明瞭なヒステリシスが観測されたことから室温において、非縮退シリコン中での室温スピン伝導を世界で初めて成功したことが確認されました。

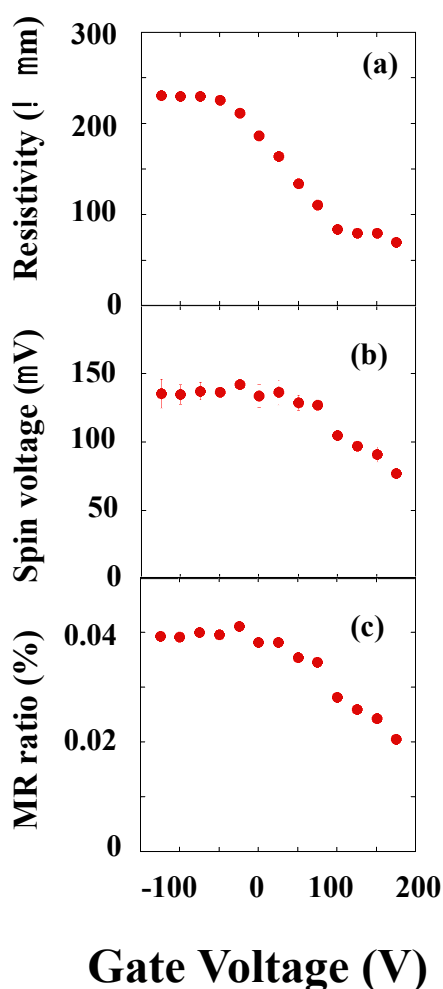


図 3. 今回試作したシリコンスピン MOSFET デバイスの特性。(a) 通常の MOSFET 動作、(b)スピン MOSFET 動作、(c)磁気抵抗比。測定は全て室温。

次にスピン伝導をゲート電圧によって制御することを試みましたので図 3 に結果を示します。スピン MOSFET の基本動作は、磁性体電極である電極 2 と電極 3 の間に電圧（ドレイン電圧）を印加してスピンの流れを作り、基板背面からの電圧（ゲート電圧）によりその流れを制御します。つまり通常の MOSFET の動作原理と変わる点は電極が磁性体であるか非磁性体であるかの違いしかありません。図 3(a)は今回試作したデバイスの通常の MOSFET 動作を示しており、典型的な n 型動作をしていることがわかります。重要な点は(b)であり、スピン伝導による信号もまた抵抗率(resistivity)と全く同様にゲート電圧によって変調されている点です。即ち、MOSFET デバイスにおける電気伝導特性だけでなくスピン伝導特性も同時にゲート電圧によって変化することになります。磁気抵抗比は今回試作したデバイスのドーピング濃度が高いことや、素子の構造などを最適化していないためまだ大きくないものの室温におけるスピン MOSFET 動作に成功していることがわかります。

さらにゲート電圧によるスピン伝導特性がどのように変化されているかを基礎物性の面から理解するために外部磁場を z 方向に印加することでスピンを回転(*4)させる実験を行ったところ、ゲート電圧を-25 V から+50 V まで変化させることで全く異なるスピンの回転特性

が得られることがわかりました。図 4 に結果を示しますが、この結果もまた、今回のデバイスがスピン MOSFET として動作していることを直接的に示しています。また、本研究においてスピンの長さが $40\ \mu\text{m}$ ($1\ \mu\text{m}$ は $1\ \text{mm}$ の 1000 分の 1 、 $1\ \text{nm}$ の 1000 倍の距離) 以上の距離を伝導できることも確認しています。現在のシリコン CMOS デバイスのゲート長 (電極間の距離に相当) が $10\ \text{nm}$ オーダーであることを考えると、十分過ぎるほどの長距離をスピンが室温で伝播できることを意味しており、デバイス応用に十分な特性を有していることがわかります。

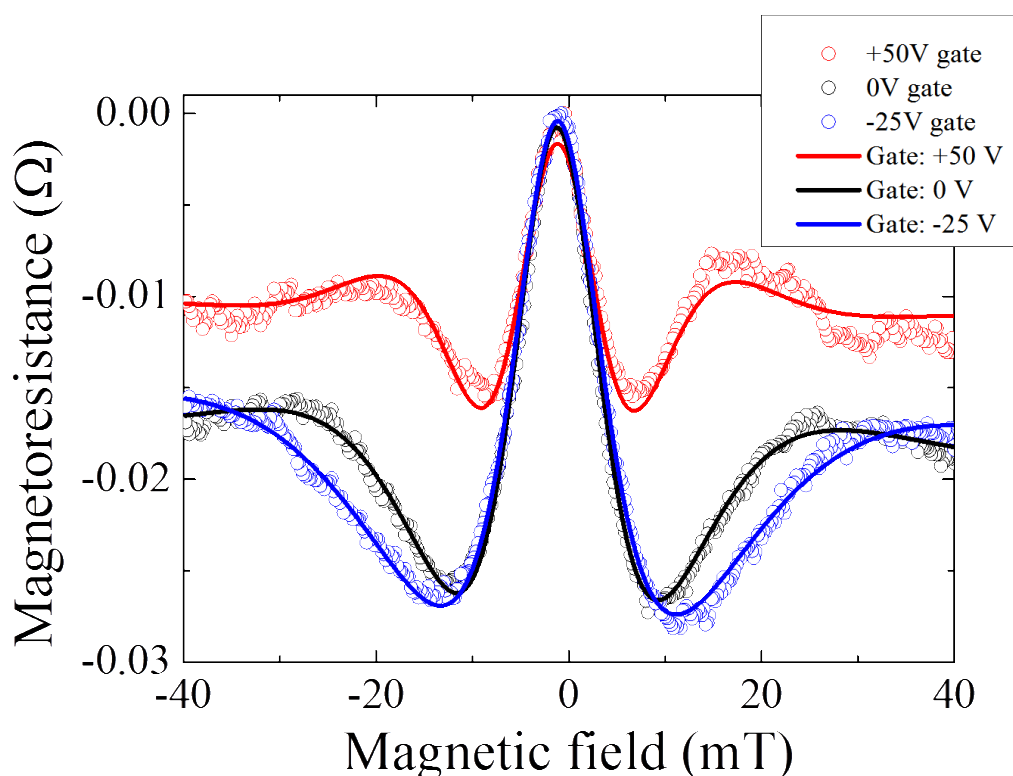


図 4. ゲート電圧を変化させた際のスピン回転による磁気抵抗効果の変調測定。○は実験結果で、実線は理論式によるフィッティング曲線。理論が実験をよく再現している。

3. 研究成果の展望

今回、室温においてシリコンスピン MOSFET 動作に成功したことは、従来のエレクトロニクスデバイスが情報処理に用いていた電子の電荷自由度ではなく、スピン自由度を用いた全く新しい、超低消費電力性・不揮発性などを備えた情報処理スキームの実現に大きく前進したことを意味します。室温において十分大きな磁気抵抗比を得ることと、スピン MOSFET を組み合わせた新しい論理システムなどのデモンストレーションが次

のマイルストーンになります。シリコン中のスピン散乱の抑制や更に効率的なゲート電圧印加によるスピン伝導の制御によって、新機能論理システムが実現すれば、現在の情報処理スキームの大変革に繋がることが期待されます。

用語解説

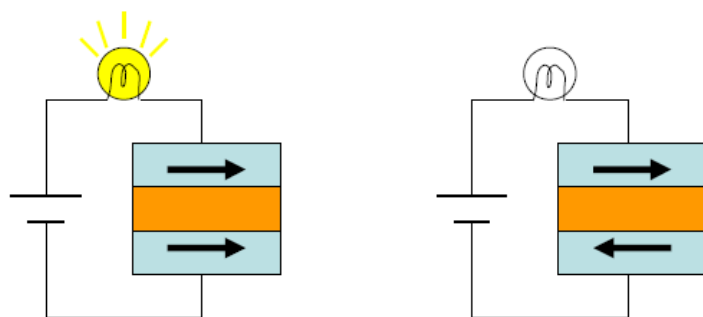
*1 CMOS

CMOS(シーモス)は **Complementary Metal Oxide Semiconductor** の略で、日本語では相補型金属酸化膜半導体といいます。これは **MOS-FET**(金属酸化膜半導体電界効果トランジスタ)を相補形に配置した情報処理構造を意味し、**CMOS** トランジスタとは **CMOS** 構造を組み合わせた情報処理素子を指します。**CMOS** トランジスタは他のトランジスタに比べると消費電力をかなり抑えられるため、半導体素子において標準的に用いられています。一方で近年、半導体への更なる微細化の要求により、リーク電流の問題が発生し、結果的に電力消費が増えています。

*2 縮退半導体領域

半導体では、一定濃度以上の不純物をドーピングすると不純物から半導体に与えられる電荷(キャリア)が過剰になり、半導体にも関わらず金属と同じような電気抵抗の特性を有することが知られています。金属的な特性を有してしまうと、**CMOS** トランジスタのようなゲート電圧による抵抗制御が困難になるためスピン **MOSFET** デバイスにおいてもあまり多量の不純物をドーピングすることは好ましくありません。縮退半導体になる閾値となるドーピング濃度は半導体材料ごとに異なりますが、**n**型シリコンの場合ではおよそ $2 \times 10^{19} \text{ cm}^{-3}$ 程度が閾値ですので、今回のデバイスにおけるドーピング濃度は半導体特性を十分に維持できるものに設定し、非縮退半導体領域として動作するようにしています。

*3 磁気抵抗効果



磁性体電極2つの間に非磁性体を挟んだ構造を作製し、外部磁場によって磁性体電極のスピンを平行ないし反並行に制御する場合があります(左図参照)。

今のシリコンスピン MOSFET デバイスの場合は、鉄電極の間に非磁性体であるシリコンが挟まれた構造になっています。今、デバイスに電圧をかけて電流を流すと、スピンの平行配置の場合は抵抗が小さく、反並行配置の場合は抵抗が高くなります。これを磁気抵抗効果と呼びます。実験では2つの磁性体電極のスピンの向きが反転するために必要な外部磁場が各々で異なるように設計しておきますので、外部磁場を掃引していくとあるところで2つのうちの1つの電極のスピンの向きが反転して、スピン配置が平行から反並行に急峻に変化します。すると素子の抵抗の同時に急峻に上昇します。さらに強い外部磁場を印加するともう1つの電極のスピンの向きも反転するのでスピン配置は再度平行になり、それに伴いデバイスの抵抗も元の低い値に戻ります。こうしてデバイス抵抗のヒステリシスが発現します。

*4 スピンを回転

スピンは外部磁場を印加すると反時計回りに一様に回転することが知られています。これをスピンの歳差運動と言います(下図参照。(a)から(f)の順番で回転していく)。今、スピンはシリコン中を伝導していますが、当初スピンはスピンチャンネルであるシリコン膜に平行です。しかし外部磁場を垂直にかけたことで図のような回転が始まり、その回転角度に応じて、外部に取り出す信号も変調を受けます。スピンの回転角度は外部磁場によって操作できます。ゲート電圧を印加したときのスピンの回転に変化があれば、スピン信号の外部磁場依存性に変化が現われ、それが今回の実験で観測できた効果です。

